

CLIPPEDIMAGE= JP02000174208A

PAT-NO: JP02000174208A

DOCUMENT-IDENTIFIER: JP 2000174208 A

TITLE: METHOD FOR FORMING HSG CAPACITOR ELEMENT

PUBN-DATE: June 23, 2000

INVENTOR-INFORMATION:

NAME

YAMAZAKI, YASUSHI

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP10346185

APPL-DATE: December 4, 1998

INT-CL (IPC): H01L027/04;H01L021/822 ;H01L027/108
;H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for forming a HSG(hemispherical grain) capacitor that can prevent HSGs from falling off and the area between electrodes from short-circuiting, and for improving the reliability of a memory and a yield.

SOLUTION: After a lower electrode 7 is formed on a silicon substrate 1, the surface of the lower electrode is subjected to HSG treatment to form hemispherical grains(HSGs) 8. After that, a capacitor insulation film 9 is formed on the lower electrode 7 without washing treatment. Also, after the HSG treatment, a substrate is dipped into a washing liquid that is selected from

among the group consisting of pure water, mixed solution of sulfuric and hydrogen peroxide, mixed solution of hydrochloric acid and hydrogen peroxide, and mixed solution of hydrofluoric acid and hydrogen peroxide, and then the capacitor insulation film is formed.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174208

(P2000-174208A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	C 5 F 0 3 8
21/822		27/10	6 2 1 Z 5 F 0 8 3
27/108			
21/8242			

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平10-346185

(22) 出願日 平成10年12月4日 (1998.12.4)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山崎 靖

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100090158

弁理士 藤巻 正憲

Fターム(参考) 5F038 AC05 AC09 AC10 AC16 EZ14

EZ15 EZ16 EZ17 EZ20

5F083 AD22 AD62 GA06 JA04 MA06

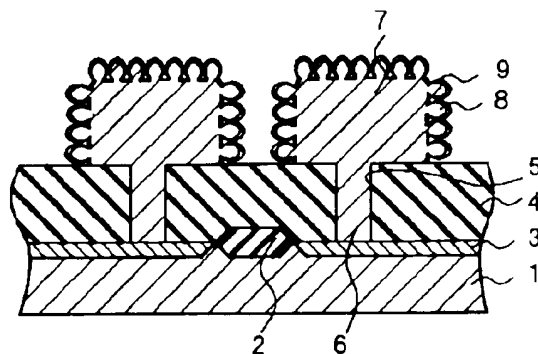
MA18 PR05 PR22 PR33

(54) 【発明の名称】 HSG容量素子の形成方法

(57) 【要約】

【課題】 HSGの脱落を防止し、電極間のショートを防止することができ、メモリの信頼性を高め、歩留を向上することができるHSG容量素子の形成方法を提供する。

【解決手段】 シリコン基板1上に下部電極7を形成した後、この下部電極の表面をHSG処理して半球形グレイン(HSG)8を形成する。その後、洗浄処理することなく、下部電極7上に容量絶縁膜9を形成する。又は、HSG処理後、基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して洗浄した後、容量絶縁膜を形成する。



【特許請求の範囲】

【請求項1】 基板上に下部電極を形成する工程と、この下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後洗浄処理することなく前記下部電極上に容量絶縁膜を形成する工程と、を有することを特徴とするHSG容量素子の形成方法。

【請求項2】 基板上に下部電極を形成する工程と、この下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して洗浄する工程と、次いで容量絶縁膜を形成する工程と、を有することを特徴とするHSG容量素子の形成方法。

【請求項3】 前記容量絶縁膜の形成後、上部電極を形成する工程を有することを特徴とする請求項1又は2に記載のHSG容量素子の形成方法。

【請求項4】 基板上に絶縁膜を形成する工程と、前記絶縁膜に容量コンタクトを形成する工程と、アモルファスシリコン膜を形成した後下部電極パターンにパターニングする工程と、前記下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後洗浄処理することなく前記下部電極上に容量絶縁膜を形成する工程と、を有することを特徴とするHSG容量素子の形成方法。

【請求項5】 基板上に絶縁膜を形成する工程と、前記絶縁膜に容量コンタクトを形成する工程と、アモルファスシリコン膜を形成した後下部電極パターンにパターニングする工程と、前記下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して洗浄する工程と、次いで容量絶縁膜を形成する工程と、を有することを特徴とするHSG容量素子の形成方法。

【請求項6】 前記容量絶縁膜は、窒化シリコン膜であることを特徴とする請求項1乃至5のいずれか1項に記載のHSG容量素子の形成方法。

【発明の詳細な説明】

【発明の属する技術分野】本発明は半導体基板上にシリコン膜等の下部電極を形成した後、その表面をHSG(Hemispherical Grain: 半球状グレイン)化し、更にその上に容量絶縁膜及び上部電極を形成して大きな静電容量を有する微小のHSG容量素子を形成する方法に関する。

【従来の技術】DRAM等の半導体装置は、メモリセル回路の一部品としてスタックキャパシタ及びトレンチキャパシタ等の容量素子を備えている。容量素子は下部電極、容量絶縁膜(誘電体膜)及び上部電極から構成されている。従前、例えば、スタック型容量素子を作製する場合、先ず、半導体基板上に絶縁膜を介してポリシリコン膜を成長させ、次いで、リン等の不純物をポリシリコ

ン膜中に導入し、続いてフォトリソグラフィ及びエッチングによりポリシリコン膜をパターニングして、下部電極を形成する。次に、下部電極上に、酸化膜又は窒化膜等からなる誘電体膜を成膜した後、下部電極と同様の方法により上部電極を形成することにより、容量素子が得られる。近時、半導体装置の微細化及び高集積化に伴い、容量素子の微細化が要求されており、これに伴い、電極の配置面積を縮小するために、下部電極の表面をHSG化して多数の半球状グレインを形成し、小さい配置面積で大きな電極表面を得る技術が提案されており、実用化されている。図5乃至9は、従来のHSG容量素子の形成方法を工程順に示す断面図である。図5に示すように、半導体基板1上に素子分離酸化膜2を形成して素子形成領域を区画し、この素子形成領域の基板表面に4示しないゲート酸化膜とゲート電極を形成した後、拡散層3を形成する。その後、全面に絶縁膜4を形成した後、この絶縁膜4に基板表面の拡散層3に到達するコンタクトホール5を形成する。その後、コンタクトホール5に不純物をドーパしたポリシリコン(以下、ドーフトポリシリコンという)等の導電材料を埋め込んで拡散層3に接触する容量コンタクト6を形成する。そして、アモルファスシリコン膜を全面に形成した後、これをパターニングして下部電極7を形成する。次いで、図6に示すように、下部電極7の表面に生成された自然酸化膜(図6に示さず)を除去した後、この下部電極7の表面をHSG化処理する。この自然酸化膜の除去は、下部電極7(アモルファスシリコン膜)の表面に酸化膜があると、HSG化が抑制されるために、弗酸等に浸漬することにより除去する必要があるからである。これにより、下部電極7の表面に多数の半球状グレイン(HSG)8が形成される。このHSG処理の後、次の処理工程に入る直前に洗浄処理し、工程待機中にHSG8の表面に付着した有機化合物を除去する。この洗浄処理は、HSG処理後の基板を、 NH_4OH (水酸化アンモニウム)と H_2O_2 (過酸化水素水)との混合液(アンモニア過水)中に浸漬し、超音波処理するものである。そして、洗浄後のHSG8を熱処理することにより、下部電極7からP等の不純物をHSGに拡散させ、HSG8に不純物を導入する。その後、図8に示すように、HSG8の表面(下部電極7の表面)上にSiN等の容量絶縁膜9を形成する。HSG表面を洗浄してから容量絶縁膜を形成することにより、良質の容量絶縁膜を形成することかでき、蓄積電荷のリークを低減した容量素子を形成することかできる。次いで、図9に示すように、上部電極10をパターン形成すると、下部電極7、容量絶縁膜9及び上部電極10からなる容量素子が完成する。

【発明が解決しようとする課題】しかしながら、従来のHSG容量素子の形成方法においては、図7に示すように、洗浄処理後の一部のHSG8が脱落することがあり、隣接する下部電極間に脱落片11が付着するという

問題点がある。これにより、電極間がショートし、不良が発生する。しかも、このHSG8は不純物の拡散前のシリコン粒子であり、その後の熱処理により不純物が多少拡散するとしても、高抵抗である。このような高抵抗の脱落片11が電極間に存在すると、メモリの選別試験に際して、データを書き込んで下部電極に電荷を蓄えた場合、その記憶情報が変化するのに時間がかかり、脱落片11が存在するにも拘わらず、このメモリセルを正常と判断してしまう虞がある。電荷保持特性を試験することで、このような不良を除去することは不可能ではないが、全ての使用条件、例えば、高温で高電圧又は低温で低電圧等、あらゆる使用条件で試験するとすると、試験に極めて長時間を要するため、現実的ではない。また、選別試験で除去できなかったメモリが市場に出て特定の使用条件になると、突如記憶情報が消失する等、メモリの信頼性が著しく損なわれる。このため、脱落片11が存在すると、メモリの信頼性を著しく損なうか、又は試験時間として長時間が必要となる。また、不良を判断できたととしても、そのメモリセルは使用できないため、歩留が低下する。本発明はかかる問題点を鑑みてなされたものであって、HSGの脱落を防止し、電極間のショートを防止することができ、メモリの信頼性を高め、歩留を向上することができるHSG容量素子の形成方法を提供することを目的とする。

【課題を解決するための手段】本発明に係るHSG容量素子の形成方法は、基板上に下部電極を形成する工程と、この下部電極の表面をHSG処理して半球形グレインを形成する工程と、その後洗浄処理することなく前記下部電極上に容量絶縁膜を形成する工程と、を有することを特徴とする。本発明に係る他のHSG容量素子の形成方法は、基板上に下部電極を形成する工程と、この下部電極の表面をHSG処理して半球形グレインを形成する工程と、その後基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して洗浄する工程と、次いで容量絶縁膜を形成する工程と、を有することを特徴とする。本発明に係る更に他のHSG容量素子の形成方法は、基板上に絶縁膜を形成する工程と、前記絶縁膜に容量コンタクトを形成する工程と、アモルファスシリコン膜を形成した後下部電極パターンにパターニングする工程と、前記下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後洗浄処理することなく前記下部電極上に容量絶縁膜を形成する工程と、を有することを特徴とする。本発明に係る更に他のHSG容量素子の形成方法は、基板上に絶縁膜を形成する工程と、前記絶縁膜に容量コンタクトを形成する工程と、アモルファスシリコン膜を形成した後下部電極パターンにパターニングする工程と、前記下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して

洗浄する工程と、次いで容量絶縁膜を形成する工程と、を有することを特徴とする。本発明は、HSG処理後の洗浄処理により、HSGの根元がくびれてくることと、このくびれたHSGに超音波の振動が印加されたときにHSGが脱落することが、電極間ショートの原因であることを見だし、このような知見に基づいて完成されたものである。本発明においては、洗浄処理を行わないか、又は洗浄処理したとしても、基板を純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬するだけであり、超音波による処理を行わない。これらの洗浄液は、シリコンを浸食しないので、HSGのくびれを助長することがない。このため、HSGの脱落が防止され、電極間に脱落片が付着することがなく、電極間のショートが防止される。

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して説明する。図1乃至図4は本発明の実施例に係るHSG容量素子の形成方法を工程順に示す断面図である。先ず、図1に示すように、シリコン基板1の表面が素子分離酸化膜2により素子分離されており、素子形成領域の基板表面にMOSトランジスタのゲート酸化膜とゲート電極（いずれも図示せず）とソースドレイン拡散層3が形成されている。そして、この基板1上に絶縁膜4を形成した後、この絶縁膜4に拡散層5に到達するコンタクトホール6を形成し、このコンタクトホール6にドーパントポリシリコン等の導電材料を埋め込んで拡散層5に接触する容量コンタクト7を形成する。その後、アモルファスシリコン膜を全面に形成し、これをパターニングして容量コンタクト7上に下部電極7を形成する。このアモルファスシリコン膜は例えばリンを $1 \times 10^{19} \text{ cm}^{-3}$ の濃度で含むリンドーパのアモルファスシリコン膜である。なお、容量コンタクト7とアモルファスシリコン膜（下部電極7）とを同時に形成してもよい。次いで、HSG処理を開始する直前に、下部電極7上に生成した自然酸化膜（図示せず）を除去し、図2に示すように、通常のHSG処理条件により下部電極の表面に多数のHSG8を形成する。このHSG処理は、例えば、高真空に保持した炉内でアモルファスシリコン膜にシラン又はジシランを例えば30分程度照射して、シリコンの核を形成し、その後、例えば、550乃至700℃で30分間程度、真空熱処理するものである。このHSG処理の後、洗浄処理することなく、図3に示すように、直ちに、容量絶縁膜8の形成工程に移る。即ち、下部電極7のHSG8上に窒化膜として例えば Si_3N_4 膜を成膜し、続いて酸化雰囲気中で例えば750乃至850℃に30分間保持して Si_3N_4 膜の表層を SiO_2 膜に転化し、 Si_3N_4 膜及び SiO_2 膜の複層の容量絶縁膜8を形成する。また、この工程における熱履歴により下部電極7の結晶化が行われると同時に、熱拡散により下部電極7内部のN型不純物がHSG内部に導入される。この容量絶縁膜8の厚さは例えば約

8nmである。次いで、図4に示すように、リンドーブアモルファスシリコン膜を成膜し、窒素ガス雰囲気中で800℃に60秒間保持して、リンドーブアモルファスシリコン膜を結晶化し、その後パターニングして上部電極（プレート電極）10を形成する。本実施例においては、従来と異なり、HSG処理後にアンモニア過水中で超音波振動を与えるような洗浄処理を行っていないので、処理液によるシリコンの浸食がなく、HSGのくびれの増長が防止される。このため、HSGが脱落して電極間をショートするようなことがない。例えば、ゲート酸化膜を形成する前に、洗浄処理しているように、薄膜を被着する前に、洗浄処理することは、従来一般的なことである。この洗浄処理により、形成する薄膜の膜質を向上させることができることが公知である。そこで、従来、HSG処理後、容量絶縁膜の形成前に、洗浄処理を行っており、これにより、有機化合物の除去と共に、HSGの形状を整えていた。しかし、メモリセルの微細化及び高集積化により、HSGも小粒化しており、洗浄処理によりHSGの表面が浸食されると、その増長されたくびれの形成によりHSGが脱落しやすくなった。このように、メモリセルの微細化により、HSGの形状を整えて良好な特性を得るための洗浄処理が逆に作用してメモリセルの信頼性を低下させる要因になってきた。そこで、本発明においては、HSG処理してから、容量絶縁膜を形成するまでの工程待ち時間を短くしたり、有機化合物等の不純物が少ない空間に保管することで、HSG表面に不純物が付着する確率を低減し、このようなシリコンの浸食を伴うような洗浄処理を廃止することとしたものである。これにより、若干の容量値の低下が生じて

Gに振動を与えるような超音波洗浄を含まない洗浄処理は許容される。例えば、処理液として、純水、硫酸過水、塩酸過水又は弗酸過水を使用しても、これらの処理液はシリコンの浸食がないので、HSGのくびれが助長されることはない。また、超音波を利用した洗浄も行わないので、HSGの脱落が回避される。

【発明の効果】以上説明したように、本発明によれば、HSG処理後の従来のアンモニア過水及び超音波振動による洗浄処理を廃止したので、HSGの脱落による電極間ショートが防止され、高信頼性の容量素子を形成することができ、メモリセルの信頼性を著しく高めると共に、その歩留を飛躍的に向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るHSG容量素子の形成方法の一工程を示す断面図である。

【図2】図1の次の工程を示す断面図である。

【図3】図2の次の工程を示す断面図である。

【図4】図3の次の工程を示す断面図である。

【図5】従来のHSG容量素子の形成方法の一工程を示す断面図である。

【図6】図5の次の工程を示す断面図である。

【図7】図6の次の工程を示す断面図である。

【図8】図7の次の工程を示す断面図である。

【図9】図8の次の工程を示す断面図である。

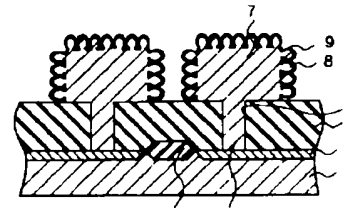
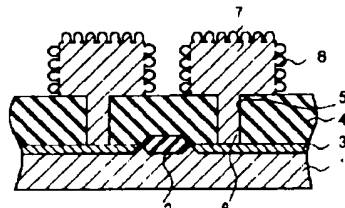
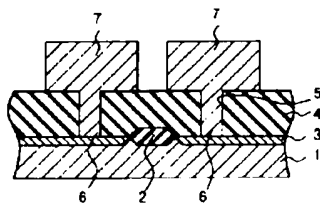
【符号の説明】

- 1：半導体基板
- 2：素子分離酸化膜
- 3：拡散層
- 4：絶縁膜
- 5：コンタクトホール
- 6：容量コンタクト
- 7：下部電極
- 8：HSG
- 9：容量絶縁膜
- 10：上部電極

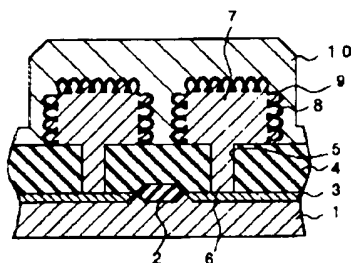
【図1】

【図2】

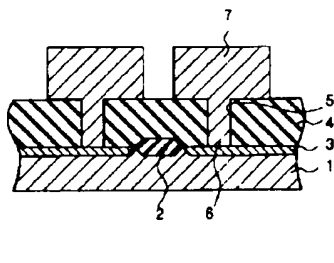
【図3】



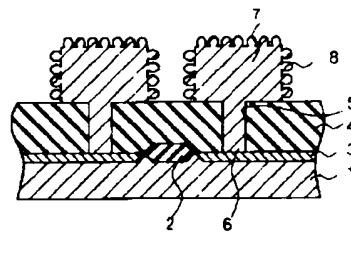
【図4】



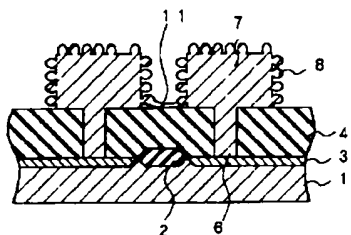
【図5】



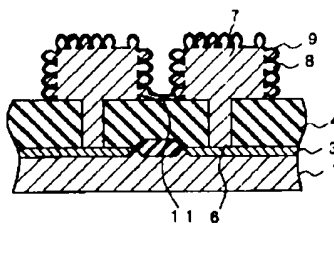
【図6】



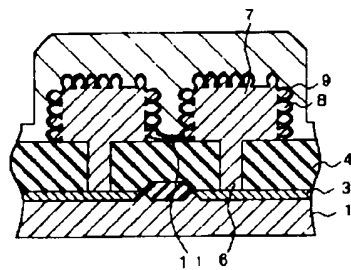
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成11年11月12日(1999.11.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】HSG容量素子の形成方法

【特許請求の範囲】

【請求項1】 基板上に下部電極を形成する工程と、この下部電極の表面をHSG処理して半球形グレインを形成する工程と、その後洗浄処理することなく前記下部電極上に容量絶縁膜を形成する工程と、を有することを特徴とするHSG容量素子の形成方法。

【請求項2】 基板上に下部電極を形成する工程と、この下部電極の表面をHSG処理して半球形グレインを形成する工程と、その後基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して洗浄する工程と、次いで容量絶縁膜を形成する工程と、を有することを特徴とするHSG容量素子の形成方法。

【請求項3】 前記容量絶縁膜の形成後、上部電極を形成する工程を有することを特徴とする請求項1又は2に記載のHSG容量素子の形成方法。

【請求項4】 基板上に絶縁膜を形成する工程と、前記絶縁膜に容量コンタクトを形成する工程と、アモルファスシリコン膜を形成した後下部電極パターンにパターンニングする工程と、前記下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後洗浄処理することなく前記下部電極上に容量絶縁膜を形成する工程と、を有することを特徴とするHSG容量素子の形成方法。

【請求項5】 基板上に絶縁膜を形成する工程と、前記絶縁膜に容量コンタクトを形成する工程と、アモルファスシリコン膜を形成した後下部電極パターンにパターンニングする工程と、前記下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して洗浄する工程と、次いで容量絶縁膜を形成する工程と、を有することを特徴とするHSG容量素子の形成方法。

【請求項6】 前記容量絶縁膜は、窒化シリコン膜であることを特徴とする請求項1乃至5のいずれか1項に記載のHSG容量素子の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体基板上にシリコン膜等の下部電極を形成した後、その表面をHSG(Hemispherical Grain:半球状グレイン)化し、更に

その上に容量絶縁膜及び上部電極を形成して大きな静電容量を有する微小のHSG容量素子を形成する方法に関する。

【0002】

【従来の技術】DRAM等の半導体装置は、メモリセル回路の一部品としてスタックキャパシタ及びトレンチキャパシタ等の容量素子を備えている。容量素子は下部電極、容量絶縁膜（誘電体膜、及び上部電極から構成されている。

【0003】従前、例えば、スタック型容量素子を作製する場合、先ず、半導体基板上に絶縁膜を介してポリシリコン膜を成長させ、次いで、リン等の不純物をポリシリコン膜中に導入し、続いてフォトリソグラフィ及びエッチングによりポリシリコン膜をパターンニングして、下部電極を形成する。次に、下部電極上に、酸化膜又は窒化膜等からなる誘電体膜を成膜した後、下部電極と同様の方法により上部電極を形成することにより、容量素子が得られる。

【0004】近時、半導体装置の微細化及び高集積化に伴い、容量素子の微細化が要求されており、これに伴い、電極の配置面積を縮小するために、下部電極の表面をHSG化して多数の半球状グレインを形成し、小さい配置面積で大きな電極表面を得る技術が提案されており、実用化されている。

【0005】図5乃至9は、従来のHSG容量素子の形成方法を工程順に示す断面図である。図5に示すように、半導体基板1上に素子分離酸化膜2を形成して素子形成領域を区画し、この素子形成領域の基板表面に図示しないゲート酸化膜とゲート電極を形成した後、拡散層3を形成する。その後、全面に絶縁膜4を形成した後、この絶縁膜4に基板表面の拡散層3に到達するコンタクトホール5を形成する。その後、コンタクトホール5に不純物をドーパしたポリシリコン（以下、トープトポリシリコンという）等の導電材料を埋め込んで拡散層3に接触する容量コンタクト6を形成する。そして、アモルファスシリコン膜を全面に形成した後、これをパターンニングして下部電極7を形成する。

【0006】次いで、図6に示すように、下部電極7の表面に生成された自然酸化膜（図示せず）を除去した後、この下部電極7の表面をHSG化処理する。この自然酸化膜の除去は、下部電極7（アモルファスシリコン膜）の表面に酸化膜があると、HSG化が抑制されるために、弗酸等に浸漬することにより除去する必要があるからである。これにより、下部電極7の表面に多数の半球状グレイン（HSG）8が形成される。

【0007】このHSG処理の後、次の処理工程に入る直前に洗浄処理し、工程待機中にHSG8の表面に付着した有機化合物を除去する。この洗浄処理は、HSG処理後の基板を、 NH_4OH （水酸化アンモニウム）と H_2O_2 （過酸化水素水）との混合液（アンモニア過水）中

に浸漬し、超音波処理するものである。

【0008】そして、洗浄後のHSG8を熱処理することにより、下部電極7からP等の不純物をHSGに拡散させ、HSG8に不純物を導入する。

【0009】その後、図8に示すように、HSG8の表面（下部電極7の表面）上にSiN等の容量絶縁膜9を形成する。HSG表面を洗浄してから容量絶縁膜を形成することにより、良質の容量絶縁膜を形成することができ、蓄積電荷のリークを低減した容量素子を形成することができる。

【0010】次いで、図9に示すように、上部電極10をパターン形成すると、下部電極7、容量絶縁膜9及び上部電極10からなる容量素子が完成する。

【0011】

【発明が解決しようとする課題】しかしながら、従来のHSG容量素子の形成方法においては、図7に示すように、洗浄処理後の一部のHSG8が脱落することがあり、隣接する下部電極間に脱落片11が付着するという問題点がある。これにより、電極間がショートし、不良が発生する。しかも、このHSG8は不純物の拡散前のシリコン粒子であり、その後の熱処理により不純物が多少拡散するとしても、高抵抗である。このような高抵抗の脱落片11が電極間に存在すると、メモリの選別試験に際して、データを書き込んで下部電極に電荷を蓄えた場合、その記憶情報が変化するのに時間がかかり、脱落片11が存在するにも拘わらず、このメモリセルを正常と判断してしまう虞がある。電荷保持特性を試験することで、このような不良を除去することは不可能ではないが、全ての使用条件、例えば、高温で高電圧又は低温で低電圧等、あらゆる使用条件で試験するとなると、試験に極めて長時間を要するため、現実的ではない。また、選別試験で除去できなかったメモリが市場に出て特定の使用条件になると、突如記憶情報が消失する等、メモリの信頼性が著しく損なわれる。このため、脱落片11が存在すると、メモリの信頼性を著しく損なうか、又は試験時間として長時間が必要となる。また、不良を判断できたととしても、そのメモリセルは使用できないため、歩留が低下する。

【0012】本発明はかかる問題点に鑑みてなされたものであって、HSGの脱落を防止し、電極間のショートを防止することができ、メモリの信頼性を高め、歩留を向上することができるHSG容量素子の形成方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明に係るHSG容量素子の形成方法は、基板上に下部電極を形成する工程と、この下部電極の表面をHSG処理して半球形グレインを形成する工程と、その後洗浄処理することなく前記下部電極上に容量絶縁膜を形成する工程と、を有することを特徴とする。

【0014】本発明に係る他のHSG容量素子の形成方法は、基板上に下部電極を形成する工程と、この下部電極の表面をHSG処理して半球形グレインを形成する工程と、その後基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して洗浄する工程と、次いで容量絶縁膜を形成する工程と、を有することを特徴とする。

【0015】本発明に係る更に他のHSG容量素子の形成方法は、基板上に絶縁膜を形成する工程と、前記絶縁膜に容量コンタクトを形成する工程と、アモルファスシリコン膜を形成した後下部電極パターンにパターニングする工程と、前記下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後洗浄処理することなく前記下部電極上に容量絶縁膜を形成する工程と、を有することを特徴とする。

【0016】本発明に係る更に他のHSG容量素子の形成方法は、基板上に絶縁膜を形成する工程と、前記絶縁膜に容量コンタクトを形成する工程と、アモルファスシリコン膜を形成した後下部電極パターンにパターニングする工程と、前記下部電極の表面をHSG処理して半球状グレインを形成する工程と、その後基板を、純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬して洗浄する工程と、次いで容量絶縁膜を形成する工程と、を有することを特徴とする。

【0017】本発明は、HSG処理後の洗浄処理により、HSGの根元がくびれてくると、このくびれたHSGに超音波の振動が印加されたときにHSGが脱落することが、電極間ショートの原因であることを見だし、このような知見に基づいて完成されたものである。本発明においては、洗浄処理を行わないか、又は洗浄処理したとしても、基板を純水、硫酸過水、塩酸過水及び弗酸過水からなる群から選択された洗浄液中に浸漬するだけであり、超音波による処理を行わない。これらの洗浄液は、シリコンを浸食しないので、HSGのくびれを助長することがない。このため、HSGの脱落が防止され、電極間に脱落片が付着することなく、電極間のショートが防止される。

【0018】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して説明する。図1乃至図4は本発明の実施例に係るHSG容量素子の形成方法を工程順に示す断面図である。先ず、図1に示すように、シリコン基板1の表面が素子分離酸化膜2により素子分離されており、素子形成領域の基板表面にMOSトランジスタのゲート酸化膜とゲート電極（いずれも図示せず）とソースドレイン拡散層3が形成されている。そして、この基板1上に絶縁膜4を形成した後、この絶縁膜4に拡散層3に到達するコンタクトホール5を形成し、このコンタクトホール5にドーフトポリシリコン等の導電材料を埋め込んで拡散層3に接触する容量コンタクト6を形成す

る。

【0019】その後、アモルファスシリコン膜を全面に形成し、これをパターニングして容量コンタクト6上に下部電極7を形成する。このアモルファスシリコン膜は例えばリンを $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含むリンドーフトのアモルファスシリコン膜である。なお、容量コンタクト6とアモルファスシリコン膜（下部電極7）とを同時に形成してもよい。

【0020】次いで、HSG処理を開始する直前に、下部電極7上に生成した自然酸化膜（図示せず）を除去し、図2に示すように、通常のHSG処理条件により下部電極の表面に多数のHSG8を形成する。このHSG処理は、例えば、高真空中に保持した炉内で、アモルファスシリコン膜にシラン又はジシランを例えば30分程度照射して、シリコンの核を形成し、その後、例えば、550乃至700℃で30分間程度、真空熱処理するものである。

【0021】このHSG処理の後、洗浄処理することなく、図3に示すように、直ちに、容量絶縁膜9の形成工程に移る。即ち、下部電極7のHSG8上に、窒化膜として例えば Si_3N_4 膜を成膜し、続いて酸化雰囲気中で例えば750乃至850℃に30分間保持して Si_3N_4 膜の表層を SiO_2 膜に転化し、 Si_3N_4 膜及び SiO_2 膜の複層の容量絶縁膜9を形成する。また、この工程における熱履歴により下部電極7の結晶化が行われると同時に、熱拡散により下部電極7内部のN型不純物がHSG内部に導入される。この容量絶縁膜9の厚さは例えば約8nmである。

【0022】次いで、図4に示すように、リンドーフトアモルファスシリコン膜を成膜し、窒素ガス雰囲気中で800℃に60秒間保持して、リンドーフトアモルファスシリコン膜を結晶化し、その後パターニングして上部電極（プレート電極）10を形成する。

【0023】本実施例においては、従来と異なり、HSG処理後にアンモニア過水中で超音波振動を与えるような洗浄処理を行っていないので、処理液によるシリコンの浸食がなく、HSGのくびれの増長が防止される。このため、HSGが脱落して電極間をショートするようなことがない。

【0024】例えば、ゲート酸化膜を形成する前に、洗浄処理しているように、薄膜を被着する前に、洗浄処理することは、従来一般的なことである。この洗浄処理により、形成する薄膜の膜質を向上させることができることが公知である。

【0025】そこで、従来、HSG処理後、容量絶縁膜の形成前に、洗浄処理を行っており、これにより、有機化合物の除去と共に、HSGの形状を整えていた。しかし、メモリの微細化及び高集積化により、HSGも小粒化しており、洗浄処理によりHSGの表面が浸食されると、その増長されたくびれの形成によりHSGが脱

落しやすくなった。このように、メモリセルの微細化により、HSGの形状を整えて良好な特性を得るための洗浄処理が逆に作用してメモリセルの信頼性を低下させる要因になってきた。そこで、本発明においては、HSG処理してから、容量絶縁膜を形成するまでの工程待ち時間を短くしたり、有機化合物等の不純物が少ない空間に保管することで、HSG表面に不純物が付着する確率を低減し、このようなシリコンの浸食を伴うような洗浄処理を廃止することとしたものである。これにより、若干の容量値の低下が生じて、それは容量絶縁膜の更に一層の薄膜化等により対処できる。このようにして、本発明は隣接する下部電極間のショートを実に防止し、メモリセルの信頼性を飛躍的に向上させると共に、その歩留を著しく高めることができた。

【0026】また、HSGの脱落を防止すればよいのであるから、シリコンの浸食を伴わない処理液を使用し、HSGに振動を与えるような超音波洗浄を含まない洗浄処理は許容される。例えば、処理液として、純水、硫酸過水、塩酸過水又は弗酸過水を使用しても、これらの処理液はシリコンの浸食がないので、HSGのくびれが助長されることはない。また、超音波を利用した洗浄も行わないので、HSGの脱落が回避される。

【0027】

【発明の効果】以上説明したように、本発明によれば、HSG処理後の従来のアンモニア過水及び超音波振動による洗浄処理を廃止したので、HSGの脱落による電極

間ショートが防止され、高信頼性の容量素子を形成することができ、メモリセルの信頼性を著しく高めると共に、その歩留を飛躍的に向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るHSG容量素子の形成方法の一工程を示す断面図である。

【図2】図1の次の工程を示す断面図である。

【図3】図2の次の工程を示す断面図である。

【図4】図3の次の工程を示す断面図である。

【図5】従来のHSG容量素子の形成方法の一工程を示す断面図である。

【図6】図5の次の工程を示す断面図である。

【図7】図6の次の工程を示す断面図である。

【図8】図7の次の工程を示す断面図である。

【図9】図8の次の工程を示す断面図である。

【符号の説明】

- 1：半導体基板
- 2：素子分離酸化膜
- 3：拡散層
- 4：絶縁膜
- 5：コンタクトホール
- 6：容量コンタクト
- 7：下部電極
- 8：HSG
- 9：容量絶縁膜
- 10：上部電極